**PHIẾU GHI KẾT QUẢ QUAN SÁT**

Ngày: 11/10/2022

Họ và tên sinh viên: Nguyễn Minh Hiếu MSV: 2151160536 Lớp: 63HTTT2

**PROJECT1: ẢNH HƯỞNG CỦA KÍCH THƯỚC CACHE ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Số word trong một block - Words by block = 16 (block size = 32 bytes).
* Số block trong bộ nhớ chính - Blocks in main memory = 8192. Kích thước bộ nhớ chính bằng bao nhiêu?
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Thiết lập cache với kích thước như sau (số block trong cache): 1, 2, 4, 8, 16, 32, 64, 128, 256 và 512.
* Với mỗi thông số trên, thiết lập các memory traces: *Hydro*, *Nasa7*, *Cexp*, *Mdljd*, *Ear*, *Comp*, *Wave*, *Swm* và *Ucomp.* Chạy và ghi lại các miss rate.
* Thực hiện bảng thống kê dữ liệu, vẽ biểu đồ thể hiện mối quan hệ giữa miss rate và cache size cho các memory traces và trả lời câu hỏi sau:
* Miss rate như thế nào khi kích thước cache tăng?
* Liệu việc tăng kích thước cache có giúp cải thiện hiệu suất của hệ thống không?

+ Miss rate giảm khi kích thước cache tăng?

+ Việc tăng kích thước cache chưa chắc sẽ giúp cải thiện hiệu suất của hệ thống khi tăng kích thước cache lên 1 giá trị nhất định nào đó

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Cache size** | **Hydro** | **Nasa7** | **Cexp** | **Mdljd** | **Ear** | **Comp** | **Wave** | **Swm** | **Ucomp** |
| 1 | 66.197% | 66.577% | 52.920% | 63.055% | 59.947% | 65.689% | 66.355% | 60.108% | 66.045% |
| 2 | 42.360% | 41.024% | 43.900% | 42.565% | 42.144% | 37.797% | 42.136% | 41.380% | 38.236% |
| 4 | 32.111% | 29.650% | 43.145% | 29.820% | 37.622% | 25.396% | 31.293% | 30.835% | 24.811% |
| 8 | 28.068% | 25.822% | 40.065% | 21.575% | 27.769% | 23.257% | 29.093% | 26.085% | 22.468% |
| 16 | 25.012% | 23.235% | 1.540% | 19.715% | 18.218% | 21.355% | 26.875% | 23.875% | 20.490% |
| 32 | 18.195% | 17.035% | 0.770% | 17.885% | 16.933% | 18.661% | 21.564% | 21.985% | 17.892% |
| 64 | 15.468% | 16.065% | 0.745% | 16.040% | 15.674% | 18.185% | 18.354% | 20.815% | 17.527% |
| 128 | 14.810% | 15.364% | 0.740% | 14.780% | 10.098% | 17.908% | 17.479% | 19.630% | 17.270% |
| 256 | 14.386% | 14.987% | 0.740% | 13.235% | 6.707% | 17.908% | 16.808% | 18.285% | 17.270% |
| 512 | 14.386% | 14.987% | 0.740% | 11.225% | 6.707% | 17.274% | 15.320% | 16.060% | 16.685% |

**PROJECT 2: ẢNH HƯỞNG CỦA KÍCH THƯỚC BLOCK ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Kích thước bộ nhớ RAM = 256 KB (số lượng block trong bộ nhớ sẽ thay đổi)
* Kích thước cache = 4 KB (số line –block trong cace thay đổi)
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình kích thước Block (số word/1 block) như sau: 4, 8, 16, 32, 64, 128, 256, 512, 1024.
* Với mỗi cấu hình trên, gọi các memory traces: Hydro, Nasa7, Cexp và xác định miss rate của chúng
* Lập bảng thống kê kết quả và trả lời các câu hỏi sau:
* Nếu kích thước block tăng thì miss rate tăng hay giảm? Tại sao?
* Kích thước Block nào cho hiệu suất hệ thống cao nhất đối với cả 3 chương trình trên.

+ Kích thước block tăng thì miss rate giảm do có nhiều block nên quá trình xử lý dữ liệu sẽ nhanh hơn

+ Kích thước Block 1024 bit sẽ cho hiệu suất hệ thống cao nhất đối với cả 3 chương trình trên.

|  |  |  |  |
| --- | --- | --- | --- |
| **Block size** | **Hydro** | **Nasa7** | **Cexp** |
| 1 | 66.197% | 66.577% | 52.920% |
| 2 | 42.360% | 41.024% | 43.900% |
| 4 | 32.111% | 29.650% | 43.145% |
| 8 | 28.068% | 25.822% | 40.065% |
| 16 | 25.012% | 23.235% | 1.540% |
| 32 | 18.195% | 17.035% | 0.770% |
| 64 | 15.468% | 16.065% | 0.745% |
| 128 | 14.810% | 15.364% | 0.740% |
| 256 | 14.386% | 14.987% | 0.740% |
| 512 | 14.386% | 14.987% | 0.740% |
| 1024 | 14.386% | 14.987% | 0.740% |

**PROJECT 3: ẢNH HƯỞNG CỦA PHƯƠNG PHÁP ÁNH XẠ ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 32.
* Số word trong một block = 64
* Số block trong bộ nhớ chính = 4096
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình các phương pháp ánh xạ (Mapping) khác nhau cho hệ thống: ánh xạ trực tiếp (Direct), ánh xạ kết hợp hoàn toàn (Full associative), ánh xạ tập kết hợp 2 đường (2-way set associative), ánh xạ tập kết hợp 4 đường (4-way set associative).
  + Chú ý: để thiết lập được ánh xạ 2-way set associative ta cần thiết lập số lượng block trong cache/số lượng set trong cache = 2. Tương tự, để thiết lập được ánh xạ 4-way set associative ta cần thiết lập số lượng block trong cache/số lượng set trong cache = 4
* Với mỗi cấu hình, thiết lập số lượng block trong cache sao cho ta được kích thước cache như sau: 4KB, 8KB, 16KB, 32KB.
* Gọi memory traces EAR cho các trường hợp trên và tính miss rate
* Lập bảng thống kê kết quả Miss Rate và trả lời các câu hỏi sau:
* Với mỗi phương pháp ánh xạ, miss rate tăng hay giảm khi kích thước cache tăng.
* Tổng kết, liệu phương pháp ánh xạ tập kết hợp có làm tăng hiệu suất của hệ thống. Phương pháp nào là thích hợp nhất?

+ Với mỗi phương pháp ánh xạ, miss rate giảm khi kích thước cache tăng.

+ Phương pháp ánh xạ tập kết hợp có làm tăng hiệu suất của hệ thống. Phương pháp Fully-Associative là thích hợp nhất

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | Cache size (KB) | | | |
|  | 4 KB | 8 KB | 16KB | 32KB |
| Direct | 15.544% | 11.869% | 8.930% | 7.159% |
| 2-Way Associative | 9.740% | 6.707% | 6.707% | 6.707% |
| 4-Way Associative | 9.928% | 6.726% | 6.707% | 6.707% |
| Fully-Associative | 10.098% | 6.707% | 6.707% | 6.707% |

**PROJECT4: ẢNH HƯỞNG CỦA KÍCH THƯỚC BLOCK ĐẾN HIỆU SUẤT HỆ THỐNG**

**Nhiệm vụ của sinh viên:**

* Thiết lập cấu hình của hệ thống với các đặc tính kiến trúc sau:
* Số lượng bộ xử lý - Processors in SMP = 1.
* Giao thức liên kết cache - Cache coherence protocol = MESI.
* Phương pháp phân xử Bus - Scheme for bus arbitration = Random.
* Kích thước word - Word wide (bits) = 16.
* Kích thước bộ nhớ RAM = 256 KB (số lượng block trong bộ nhớ sẽ thay đổi)
* Kích thước cache = 4 KB (số line –block trong cace thay đổi)
* Ánh xạ - Mapping = Fully-Associative.
* Chính sách thay thế - Replacement policy = LRU.
* Cấu hình kích thước Block (số word/1 block) như sau: 4, 8, 16, 32, 64, 128, 256, 512, 1024.
* Với mỗi cấu hình trên, gọi các memory traces: *Hydro*, *Nasa7*, *Cexp* và thống kê miss rate của chúng vào bảng sau:

|  |  |  |  |
| --- | --- | --- | --- |
| **Block size**  **(số words/block)** | **Hydro** | **Nasa 7** | **Cexp** |
| 2 | 66.197% | 66.577% | 52.920% |
| 4 | 42.360% | 41.024% | 43.900% |
| 8 | 32.111% | 29.650% | 43.145% |
| 16 | 28.068% | 25.822% | 40.065% |
| 32 | 25.012% | 23.235% | 1.540% |
| 64 | 18.195% | 17.035% | 0.770% |
| 128 | 15.468% | 16.065% | 0.745% |
| 256 | 14.810% | 15.364% | 0.740% |
| 512 | 14.386% | 14.987% | 0.740% |
| 1024 | 14.386% | 14.987% | 0.740% |

* Vẽ biểu đồ miss rate theo kích thước của Block cho từng file trace
* Dựa vào bảng số liệu thư được và biểu đồ, trả lời các câu hỏi sau:
* Nếu kích thước block tăng thì miss rate tăng hay giảm? Tại sao?
* Kích thước Block nào cho hiệu suất hệ thống cao nhất đối với cả 3 chương trình trên.

+ Kích thước block tăng thì miss rate giảm do có nhiều block nên quá trình xử lý dữ liệu sẽ nhanh hơn

+ Kích thước Block 1024 bit sẽ cho hiệu suất hệ thống cao nhất đối với cả 3 chương trình trên.